

English Translation of Fig. 4

Portrait
Japaner Land - Open Application
No. 2002-152595
特開2002-152595

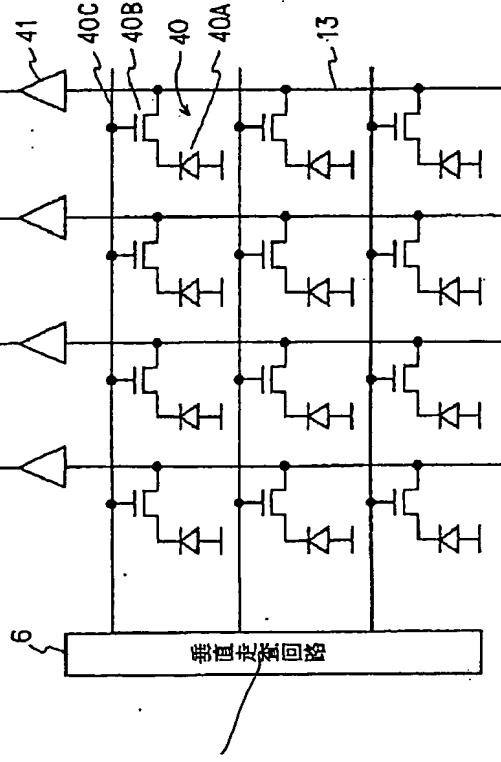
[Fig. 4] (8)

[図4]

Horizontal scanning circuit

Horizontal selection switch

CDS circuit



Vertical
scanning circuit

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-152595
(43)Date of publication of application : 24.05.2002

(51)Int.Cl. H04N 5/335
H01L 27/146

(21)Application number : 2000-346284 (71)Applicant : NIPPON HOSO KYOKAI <NHK>
(22)Date of filing : 14.11.2000 (72)Inventor : WATABE TOSHIHISA

(72)Inventor : WATABE TOSHIHISA
ISHIGURO YUICHI
WATANABE TOSHIHI
KOKUBU HIDEKI
ABE MASAHIDE

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain such a transfer circuit that amplifies a signal voltage and to make the signal charge transfer speed of the transfer circuit faster.

SOLUTION: A solid-state image pickup device is provided with a photoelectric conversion section 2 which converts incident light into charges, a vertical selection switch 3 for reading out the charges generated on the conversion section 2, and a reset switch 1 which resets the conversion section 2. In the image pickup device, picture elements are arranged in a two-dimensional array-like state and the outputs of the picture elements in each row are read out in parallel with each other through vertical signal lines and fetched as outputs through a buffer circuit 10 arranged in each row. The signal voltage is amplified by fixing the source potential of a transfer transistor 7 by setting the drain potential of the transistor 7 so that the transistor 7 may operate in a saturated area by connecting the transistor 7 to the vertical signal lines between the picture elements and the input section of the buffer circuit 10 in each row and arranging the reset switch 9 in the input section of the circuit 10 and efficiently transferring the charges generated on the conversion section 2 to the parasitic capacitance of the input terminal of the buffer circuit 10.

LEGAL STATUS

[Date of request for examination] 16.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

THIS PAGE BLANK (USPS)

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-152595

(P2002-152595A)

(43)公開日 平成14年5月24日 (2002.5.24)

(51)Int.Cl.⁷

H 0 4 N 5/335
H 0 1 L 27/146

識別記号

F I

H 0 4 N 5/335
H 0 1 L 27/14

テマコト^{*}(参考)

E 4 M 1 1 8
A 5 C 0 2 4

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号

特願2000-346284(P2000-346284)

(22)出願日

平成12年11月14日 (2000.11.14)

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 渡部 俊久

東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

(72)発明者 石黒 雄一

東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

(74)代理人 100083552

弁理士 秋田 収喜

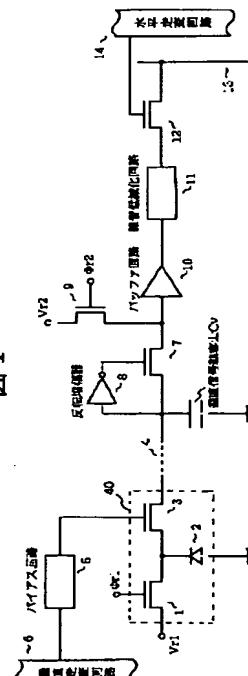
最終頁に続く

(54)【発明の名称】 固体撮像装置

(57)【要約】 (修正有)

【課題】 信号電圧を増幅するような転送回路を得る。
転送回路において、信号電荷の転送速度を速くする。

【解決手段】 入射した光を電荷に変換する光電変換部2と、該光電変換部で発生した電荷を読み出すための垂直選択スイッチ3と、前記光電変換部をリセットするリセットスイッチ1とを備え、画素が2次元アレイ状に配列し、各列の画素出力が垂直信号線を通して並列に読み出され、各列に配置されたバッファ回路10を通して出力として取り出される固体撮像装置において、画素とバッファ回路入力部の間の垂直信号線に転送トランジスタ7を挿入し、前記バッファ回路入力部にリセットスイッチ9を配置して、転送トランジスタのドレイン電位を、転送トランジスタが飽和領域で動作するように設定することにより転送トランジスタ7のソース電位を固定し、前記光電変換部で発生した電荷をバッファ回路入力端の寄生容量に効率よく転送し、信号電圧を増幅するものである。



【特許請求の範囲】

【請求項1】入射した光を電荷に変換する光電変換部と、該光電変換部で発生した電荷を読み出すための垂直選択スイッチと、前記光電変換部をリセットするリセットスイッチとを備え、画素が2次元アレイ状に配列し、各列の画素出力が垂直信号線を通して並列に読み出され、各列に配置されたバッファ回路を通して出力として取り出される固体撮像装置において、画素とバッファ回路入力部の間の垂直信号線に転送トランジスタを挿入し、前記バッファ回路入力部にリセットスイッチを配置して、転送トランジスタのドレイン電位を、転送トランジスタが飽和領域で動作するように設定することにより転送トランジスタのソース電位を固定し、前記光電変換部で発生した電荷をバッファ回路入力端の寄生容量に効率よく転送し、信号電圧を増幅することを特徴とする固体撮像装置。

【請求項2】前記垂直選択スイッチはMOS型トランジスタで構成され、そのゲート電極には、前記光電変換部のリセット電位よりほぼ閾値電圧分だけ高い電圧が与えられることを特徴とする請求項1に記載の固体撮像装置。

【請求項3】前記転送トランジスタのソース端子を反転型増幅回路の入力に接続し、前記反転型増幅回路の出力を前記転送トランジスタのゲート端子に接続し、前記反転増幅回路は、その動作入力電圧が前記光電変換部のリセット電位よりも十分大きいことを特徴とする請求項1又は2に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関し、特に、固体撮像装置の信号電荷転送部及び検出部に適用して有効な技術に関するものである。

【0002】

【従来の技術】固体撮像装置は、信号電荷の読み出し方式の違いによりCCD型とCMOS型に大別できるが、近年、CMOS型の固体撮像装置が数多く提案されている。CMOS型がCCD型と大きく異なるところは、光電変換部で発生した電荷を電荷転送部で増幅して出力として読み出すというところであり、これにより高い信号対雑音比を得ることを特徴としている。

【0003】このCMOS型固体撮像装置の例として、テレビジョン学会技術報告“ライン増幅MOS型固体撮像素子”(ITEJ Technical Report Vol.14, No.16, PP.25~30, CE90-12)が報告されている。その構成を図4に示す。図4において、6は垂直走査回路、14は水平走査回路、40は画素、41は増幅器、42はCDS(Correlated Double Sampling: 相関2重サンプリング)回路、12は水平選択スイッチである。画素40はフォトダイオード40Aと垂直選択MOSスイッチ40Bより構成され、各列の画素40が垂直信号線4

0Cに接続されている。各垂直信号線40Cは各列に配置された増幅器41の入力に接続され、CDS回路42を通して雑音を低減して出力される。1画素の信号電荷が出力に至るまでの、1垂直信号線分の回路構成は図5のようになっている。なお、前記報告では、スマアを抑圧するための差動回路が含まれているが、ここでは省略する。図5において、26はフォトダイオード、27はリセット用MOSスイッチ、28はダイナミックレンジ拡大用容量、29は帰還容量、30は結合容量、31はサンプルホールド容量、32はアンプ、33は垂直選択スイッチ、34はサンプルホールドスイッチ、12は水平選択スイッチである。

【0004】前記増幅部41は、アンプ32に帰還容量29、ダイナミックレンジ拡大用容量28およびリセット用MOSスイッチ27が付加した電荷積分型増幅器である。この増幅器41のリセットのためにオンオフするMOSトランジスタ27から発生するスイッチング雑音が信号電荷に重畠されるが、これを増幅器41の出力部に配置されている結合容量30による差分演算により除去し、サンプルホールド容量31に信号電荷に起因する電荷のみを蓄積する。サンプルホールド容量31の容量値CSHはフォトダイオード26の等価容量値CPDに比べてはるかに大きくできるので、電荷増倍が可能となり、前記の雑音除去機能と併せて高い信号対雑音比が得られる。

【0005】ここで、フォトダイオード26で発生する信号電荷によるフォトダイオード26のカソード部の電圧変化、すなわち信号電圧をvin、増幅器41の出力電圧をvo、サンプルホールド容量31の端子に現れる電圧をVSHとする。アンプ32の開ループゲインは十分大きく、アンプ32の入力端は仮想接地が仮定できるとすると、vinとvoの間には、数1の関係式が成り立つ。

【0006】

【数1】

$$vo = \frac{CPD}{CF} vin$$

【0007】ここで、CFは帰還容量29の容量値を表す。また、出力電圧voと電圧VSHとの間には、数2の関係式が成り立つ。

【0008】

【数2】

$$VSH = \frac{CC}{CC + CSH} vo$$

【0009】ここで、CC, CSHはそれぞれ結合容量30、サンプルホールド容量31の容量値を表す。したがって、信号電荷量をQin、サンプルホールドされた電荷量をQSHとすると、電荷増倍率QSH/Qin

は、数3となり、

【0010】

【数3】

$$\frac{QSH}{Qin} = \frac{1}{CF} \cdot \frac{CC \cdot CSH}{CC + CSH}$$

【0011】設計者が容量値を任意に決定することにより高い電荷増倍率を得られるようにみえる。しかし、前記数1の式を導く上で前提条件となった、アンプ32の入力端の仮想接地を実現するには、アンプ32の開ループゲインをG0、垂直信号線の容量値をCVとすると、 $(G0 + 1) * CF > > CV$ を成立させなければならない。CVは、垂直信号線に接続している行数分の垂直選択スイッチの拡散容量と配線容量の和になるので、画素数が増加するほど大きくなる。

【0012】したがって、帰還容量値CFは前記の条件を満たすために大きな値に設定することになり、電荷増倍率の低下につながる。一般には、 $CF > CPD$ であり、また、 $CC = CSH$ と設定することが多いので、サンプルホールド容量端の電圧VSHは、信号電圧vinの半分以下となる。したがって、電荷増倍を実現するためには、サンプルホールド容量値CSHをフォトダイオード26の等価容量値CPDに比べてはるかに大きく設定する必要がある。

【0013】

【発明が解決しようとする課題】前述のように、フォトダイオード26で発生した信号を電荷積分型増幅器、CDS回路によって増倍、雑音除去を行って出力する構成のMOS型固体撮像装置では、画素が多くなるにしたがって電荷増倍率が低下するという問題点が存在する。また、サンプルホールド容量31端の電圧VSHは、信号電圧vinより小さくなるので、大きな電荷増倍率を実現しようとすると、サンプルホールド容量値CSHを非常に大きくしなければならなくなる。本発明の目的は、信号電圧を増幅するような転送回路を提供することにある。本発明の他の目的は、前記転送回路において、信号電荷の転送速度を速くするような駆動方法を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0014】

【課題を解決するための手段】本願において開示される発明の概要を簡単に説明すれば、下記のとおりである。
(1) 入射した光を電荷に変換する光電変換部と、該光電変換部で発生した電荷を読み出すための垂直選択スイッチと、前記光電変換部をリセットするリセットスイッチとを備え、画素が2次元アレイ状に配列し、各列の画素出力が垂直信号線を通して並列に読み出され、各列に配置されたバッファ回路を通して出力として取り出される固体撮像装置において、画素とバッファ回路入力部の

間の垂直信号線に転送トランジスタを挿入し、前記バッファ回路入力部にリセットスイッチを配置して、転送トランジスタのドレイン電位を、転送トランジスタが飽和領域で動作するように設定することにより転送トランジスタのソース電位を固定し、前記光電変換部で発生した電荷をバッファ回路入力端の寄生容量に効率よく転送し、信号電圧を増幅するものである。

【0015】(2) 前記手段(1)の固体撮像装置において、前記垂直選択スイッチはMOS型トランジスタで構成され、そのゲート電極には、前記光電変換部のリセット電位よりもほぼ閾値電圧分だけ高い電圧が与えられる。

【0016】(3) 前記手段(1)又は(2)の固体撮像装置において、前記転送トランジスタのソース端子を反転型増幅回路の入力に接続し、前記反転型増幅回路の出力を前記転送トランジスタのゲート端子に接続し、前記反転型増幅回路は、その動作入力電圧が前記光電変換部のリセット電位よりも十分大きい。

【0017】本発明のポイントは、画素とバッファ回路を接続する垂直信号線に転送トランジスタを挿入し、バッファ回路入力部にリセットトランジスタを配置してバッファ回路の入力端、すなわち、転送トランジスタのドレイン電位を転送トランジスタが飽和領域で動作するよう設定する。

【0018】前記転送トランジスタのソースには垂直信号線の寄生容量CVが接続されているが、動作条件を上記のように設定することにより、ソース電位はゲート電位から転送トランジスタの閾値だけ低い電位に固定される。したがって、大きな寄生容量CVの影響を受けることなく、光電変換部で発生した信号電荷がバッファ回路入力端の寄生容量Ciに転送される。光電変換部の等価容量値に比べてバッファ回路入力端の寄生容量値は小さくできるので、電圧は増幅される。この容量比を十分大きくとることで大きな電圧増幅率を得ることができ、バッファ回路の後段に前記と同じCDS回路を配置してもCDS回路の出力電圧は信号電圧よりも大きな値となる。

【0019】ここで、画素を構成する光電変換部を担う垂直選択MOSトランジスタのソース電極にリセットスイッチを接続し、このリセットスイッチで設定されるソース電極よりもほぼ閾値電圧分だけ高い電圧を前記垂直選択MOSトランジスタのゲート電極に与えることにより、信号電荷を効果的に転送することが可能となる。

【0020】また、前記転送トランジスタのドレイン端子を反転型増幅回路の入力に接続し、前記反転型増幅回路の出力を前記転送トランジスタのゲート端子に接続する構成で、前記反転型増幅回路の動作入力電圧が前記光電変換部のリセット電位よりも十分大きく設定すると、信号電荷の転送による転送トランジスタのドレイン端子の電位変化が転送トランジスタのゲート電圧に反映され負

帰還がかかるので、転送トランジスタを流れる電流が大きくなり、信号電荷の転送速度を上げることができる。【0021】以下に、本発明について、本発明による実施形態（実施例）とともに図面を参照して詳細に説明する。

【0022】

【発明の実施の形態】図1は、本発明をライン増幅MOS型撮像装置に適用した場合の1垂直信号線に対応する部分の構成を示す。本発明の実施形態のライン増幅MOS型撮像装置は、図1に示すように、フォトダイオードのリセットスイッチ1、フォトダイオード2、垂直選択スイッチ3により画素40が構成されている。

【0023】垂直選択スイッチ3は垂直信号線4に接続され、転送スイッチ（転送トランジスタ）7を介してバッファ回路10の入力端子に接続されている。垂直信号線4には、垂直選択スイッチ3の拡散容量の行数分と垂直信号線の配線容量との和が浮遊容量CVとして接続されている。

【0024】バッファ回路10の入力部には、リセットスイッチ9が配置され、転送スイッチ7が飽和領域で動作するような電圧VR2に転送スイッチ7のドレイン電位を設定する。また、転送スイッチ7のソース端子を反転増幅器8の入力に接続し、反転増幅器8の出力を転送スイッチ7のゲート端子に接続することにより、転送スイッチ7に対して負帰還をかけている。

【0025】垂直選択スイッチ3をオン状態とするためにゲート電極に与えるクロックは、垂直走査回路6の出力をバイアス回路5を通すことで生成され、その振幅は、フォトダイオード2のリセットスイッチ1により設定されるフォトダイオード2のリセット電位VR1よりも、ほぼ垂直スイッチ3の閾値分だけ高い電圧となる。

【0026】バッファ回路10の後段には、雑音低減回路11を配置し、その出力が水平走査回路14で駆動される水平選択スイッチ12を介して水平信号線13に読み出されるようになっている。

【0027】前記図1に示す回路構成において、電荷転送の原理を図2に示す電位分布図を用いて説明する。図2(a)は、フォトダイオード2に蓄積した信号電荷が垂直選択スイッチ3をオンすることで垂直信号線4に読み出される様子を示している。

【0028】図2(a)に示すように、垂直選択スイッチ3のゲート電極に与えるクロックの振幅を、フォトダイオード2のリセット電位VR1よりも垂直選択スイッチ3の閾値分だけ高く設定することにより、信号電荷のみを読み出すことができる。ここで、信号電荷の転送される方向が図2(a)に示すようになるためには、信号電荷転送前の垂直信号線4の電位が、図2(a)に示すようにフォトダイオード2のリセット電位VR1よりも高くなればならない。

【0029】また、図2(b)に示す電荷転送を実現す

るためには、反転増幅器8の動作入力電圧がリセット電位VR1よりも高くなるように設定する必要がある。図2(b)は、垂直信号線4に読み出された信号電荷が転送スイッチ7により、バッファ回路10の入力部寄生容量Ciに読み出される様子を示している。垂直信号線4からバッファ回路10の入力部寄生容量Ciへの電荷転送が、図2(b)に示す方向に行われるためには、バッファ回路10の入力部のリセット電位VR2が信号電荷転送前の垂直信号線4の電位よりも高くなればならない。したがって、反転増幅器8の動作入力電圧がリセット電位VR2よりも低くなるように設定する必要がある。

【0030】信号電荷により反転増幅器8の入力電圧が低下すると、その変化分が増幅されて反転増幅器8の出力端子に出力され、しかもその出力電圧は上昇するので、転送スイッチ7のゲート電圧が大きくなる。したがって、転送スイッチ7には大きな電流が流れ、信号電荷の転送が高速に行われる。信号電荷が転送され垂直信号線4の電位が上昇してくると、今度は逆に転送スイッチ7のゲート電圧が小さくなり、信号電荷がすべて転送したところで図2(a)の状態に戻る。図2(b)に示した電荷転送は動的過程であるので、実際には垂直信号線4の電位はほとんど変化しない。

【0031】このようにして、垂直信号線の浮遊容量CVの影響を受けてからバッファ回路10の入力部寄生容量Ciへ信号電荷が転送される。バッファ回路10の入力部寄生容量Ciはフォトダイオード2の等価容量に比べて十分小さくすることが可能なため、図2(c)に示すように信号電圧を増幅することができる。

【0032】次に、図1に示した本実施形態におけるバイアス回路5、反転増幅器8及びバッファ回路10の具体的な構成を図3に示す。図1に示されているバイアス回路5は、図3において点線で囲まれた回路になる。また、反転増幅器8は、図3に示すように、pMOSトランジスタ22とnMOSトランジスタ23からなるCMOSインバータで構成している。同様に、バッファ回路10は、nMOSトランジスタ24及び負荷として動作するゲートにバイアス電圧Vb2が与えられたnMOSトランジスタ25からなるソースフォロワ回路で構成している。

【0033】図3に示したバイアス回路5において、pMOSトランジスタ15、16はカレントミラー回路、nMOSトランジスタ18、19は入力差動対であり、nMOSトランジスタ20はそのゲートにバイアス電圧Vb1を与えられた電流源として機能している。また、nMOSトランジスタ21は、バイアス回路5の出力をグランドに落とすためのリセットスイッチである。nMOSトランジスタ18のゲート、すなわちバイアス回路5の入力に垂直走査回路6からクロックΦvを与える

と、nMOSトランジスタ17のゲート、すなわちバイアス回路5の出力にはクロックΦvよりもほぼnMOSトランジスタ17の閾値分だけ振幅の大きなクロックΦv'が発生する。したがって、クロックΦvの振幅をフォトダイオードのリセット電圧Vr1と等しく設定し、かつ、nMOSトランジスタ17のサイズを垂直選択スイッチ3と等しく設定すれば、クロックΦv'の振幅はリセット電圧Vr1より垂直選択スイッチ3の閾値分だけ高くなり、信号電荷のみを転送できる。

【0034】バイアス回路5の入力クロックΦvの振幅をVΦv、出力クロックΦv'の振幅をVΦv'、nMOSトランジスタ20を流れる電流をIb、nMOSトランジスタ17のゲート長、ゲート幅、ゲート酸化膜容量、閾値をそれぞれL、W、C_o、V_{th}、電子の移動度をμとすると、VΦvとVΦv'の関係は、数4の関係式で表すことができる。

【0035】

【数4】

$$V_{\Phi v'} = V_{\Phi v} + V_{th} + \sqrt{\frac{I_b}{\beta}}$$

【0036】ここで、 $\beta = \mu C_o W / L$ である。したがって、出力クロックΦv'の振幅は、VΦvをVr1と等しく設定し、nMOSトランジスタ20のサイズをnMOSトランジスタ17と等しく設定すると、上記の値よりもさらに $\sqrt{I_b / \beta}$ だけ大きくなる。したがって、信号電荷に加えて、若干のバイアス電荷も転送することになる。

【0037】照度が低く、発生する信号電荷が少ない場合、図2(a)に示した転送過程による垂直信号線4の電位変化が小さいため、転送トランジスタ7による電荷転送の速度が遅くなる。このような場合、上記のバイアス電荷を合わせて転送すると、垂直信号線4の電位変化が大きくなるため、反転増幅器8による転送スイッチ7への帰還がかかりやすくなり、転送速度が速くなる。

【0038】pMOSトランジスタ22とnMOSトランジスタ23からなるCMOSインバータは、その出力がハイ(High)レベルからロー(Low)レベルに遷移するときの入力電圧がフォトダイオード2のリセット電圧Vr1よりも大きく、かつ、バッファ回路10の入力部のリセット電位Vr2よりも小さくなるようにトランジスタサイズを設定する必要がある。

【0039】図1におけるバッファ回路10の入力部の寄生容量を小さくするために、図3においてソースフォロワ回路を構成するnMOSトランジスタ24のサイズは十分小さく設定する必要がある。同様に、転送スイッチ7及びリセットスイッチ9のサイズも十分小さく設定する必要がある。

【0040】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0041】

【発明の効果】以上説明したように、本発明によれば、固体撮像素子の光電変換部で発生した信号電荷を出力部に転送する信号電荷転送部において、垂直信号線に付随する大きな寄生容量の影響を受けずに光電変換部から、より小さな容量が付随する出力部に信号電荷を効率的に転送することができるため、信号電圧の増幅が可能となり、容易に高い信号対雑音比を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の一実施形態の1垂直信号線に対応する部分を示す回路構成図である。

【図2】本実施形態における信号電荷の転送の原理を説明するための電位分布図である。

【図3】本実施形態におけるバイアス回路、反転増幅器及びバッファ回路の具体的な構成を示す回路構成図である。

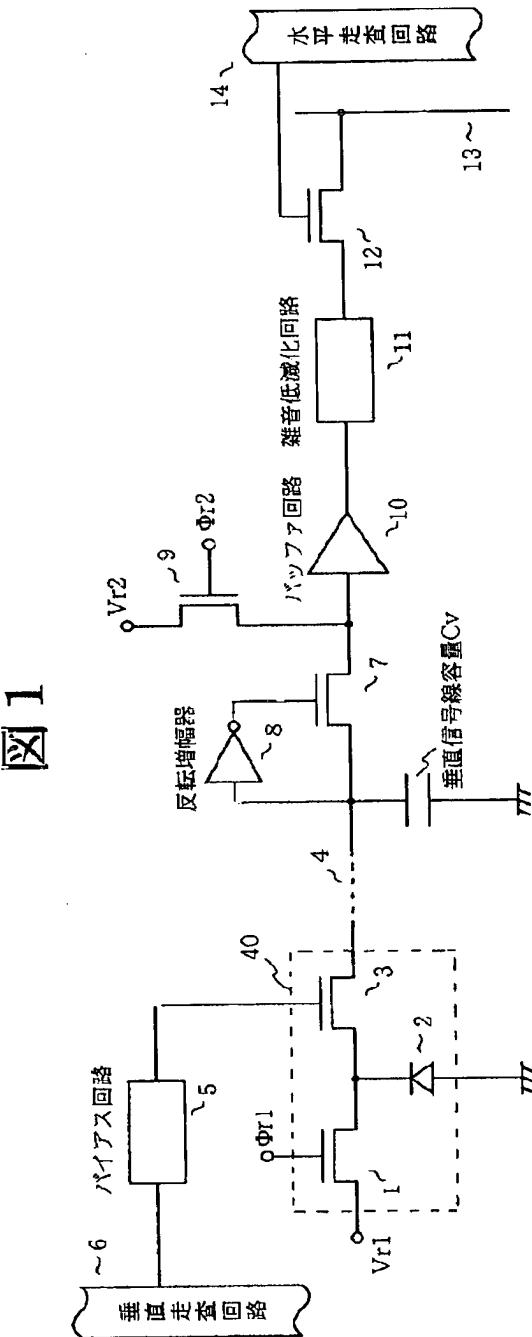
【図4】従来のMOS型固体撮像装置の構成例を示す回路構成図である。

【図5】図4に示した従来例の信号読み出し回路を示す回路構成図である。

【符号の説明】

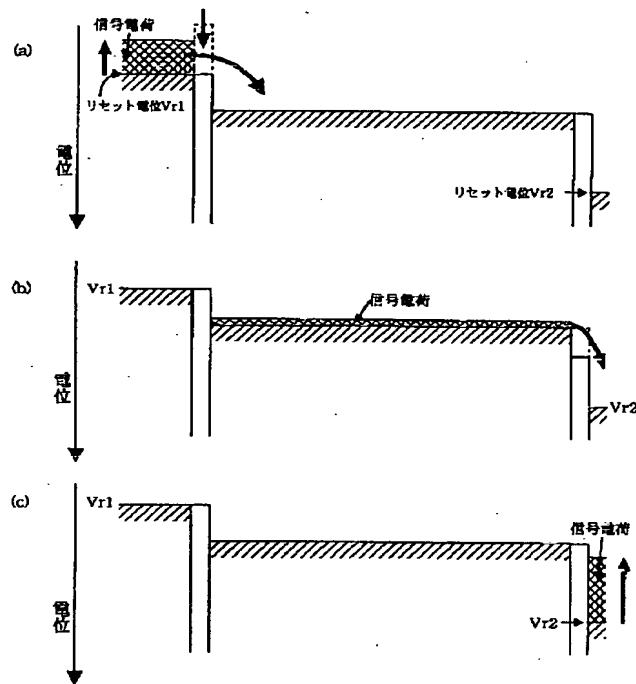
1, 9…リセットスイッチ	2, 26…フォトダイオード
3…垂直選択スイッチ	4…垂直信号線
5…バイアス回路	6…垂直走査回路
7…転送スイッチ(転送トランジスタ)	
8…反転増幅器	10…バッファ回路
11…雑音低減化回路	12…水平選択スイッチ
13…水平信号線	14…水平走査回路
15, 16, 22…pMOSトランジスタ	
17, 18, 19, 20, 21, 23, 24, 25…nMOSトランジスタ	
27…リセット用MOSスイッチ	28…ダイナミックレンジ拡大用容量
29…帰還容量	30…結合容量
31…サンプルホールド容量	32…アンプ
33…垂直選択スイッチ	34…サンプルホールドスイッチ
40…画素	40A…フォトダイオード
40B…垂直選択MOSスイッチ	40C…垂直信号線
41…増幅器	42…CD S回路

【図1】



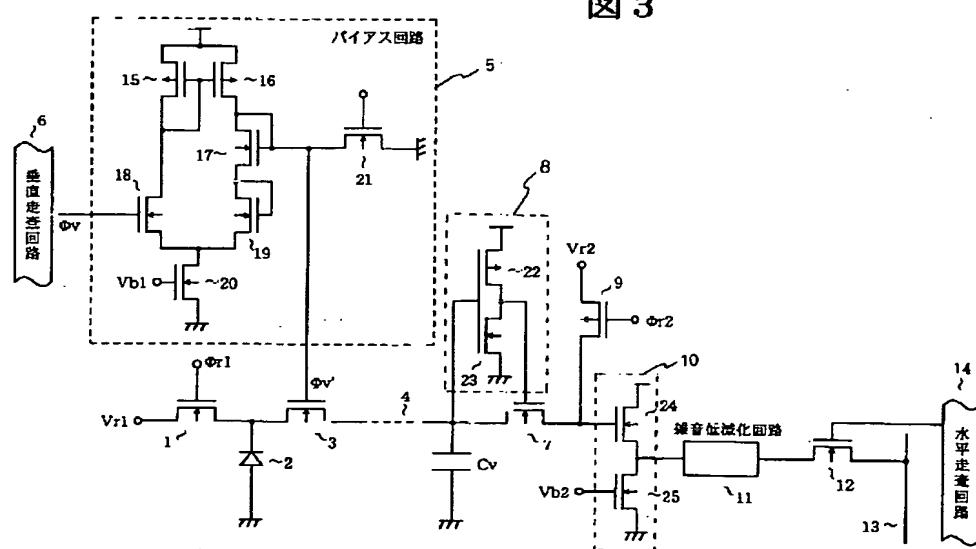
【図2】

図2



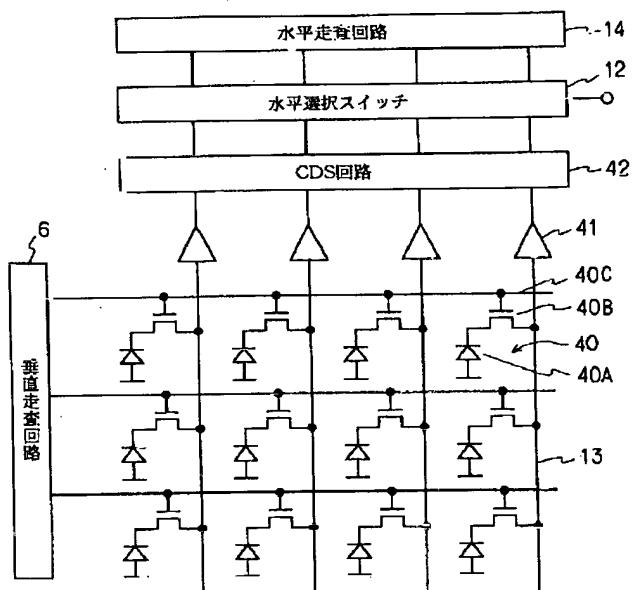
【図3】

図3



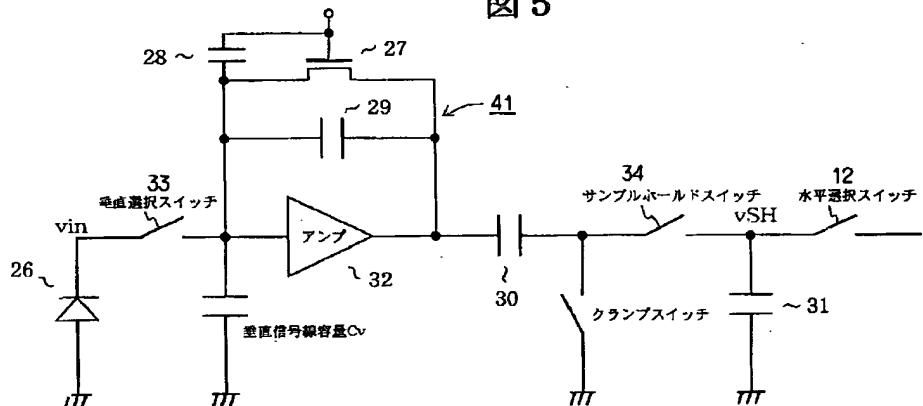
【図4】

図4



【図5】

図5



フロントページの続き

(72)発明者 渡辺 敏英
東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

(72)発明者 国分 秀樹
東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

(72)発明者 阿部 正英
東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内

!(9) 002-152595 (P2002-152595A)

F ターム(参考) 4M118 AA01 AA02 AB01 BA14 CA02
DD07 DD12 FA06 FA34
5C024 CX00 CX43 GX03 GY38 GZ18
HX09 HX13 JX30

THIS PAGE BLANK (USPTO)